

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月21日
Date of Application:

出願番号 特願2003-043603
Application Number:
[ST. 10/C]: [JP2003-043603]

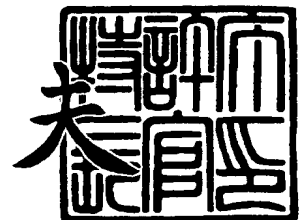
出願人 セイコーエプソン株式会社
Applicant(s):

特許庁
印

2003年10月20日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



【書類名】 特許願

【整理番号】 PA04F305

【提出日】 平成15年 2月21日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 27/146

【発明者】

【住所又は居所】 長野県諏訪市大和三丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 谷戸 英則

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 110000028

【氏名又は名称】 特許業務法人 明成国際特許事務所

【代表者】 下出 隆史

【電話番号】 052-218-5061

【手数料の表示】

【予納台帳番号】 133917

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0105458

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項 1】 フォトダイオードと光電荷検出用の絶縁ゲート型電界効果トランジスタとを有する単位画素が複数配列された画素アレイと、前記画素アレイの動作を制御する制御回路とを備える固体撮像装置であって、

前記フォトダイオードと前記絶縁ゲート型電界効果トランジスタとは、第 1 導電型の半導体基板上の第 2 導電型の半導体層内に形成された第 1 導電型のウェル領域を共有しており、

前記絶縁ゲート型電界効果トランジスタの前記ウェル領域内には、前記フォトダイオードに照射される光に応じて発生した所定の導電型の電荷を蓄積するための蓄積領域が形成されており、

前記制御回路は、前記半導体基板と前記半導体層とで構成される接合領域を順方向にバイアスされた状態とすることにより、前記蓄積領域に前記所定の導電型の電荷が所定量蓄積された状態とした後で、前記蓄積領域に蓄積されている前記所定の導電型の電荷を排出させるように制御することを特徴とする固体撮像装置。

【請求項 2】 請求項 1 記載の固体撮像装置であって、

前記絶縁ゲート型電界効果トランジスタは、

前記ウェル領域の表層に形成された第 2 導電型のソース拡散領域と、

前記ウェル領域の表層を除く前記半導体層の表層に形成された第 2 導電型のドレイン拡散領域と、

前記ドレイン拡散領域と前記ソース拡散領域との間の前記ウェル領域上にゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極の下の前記ウェル領域の表層であって、第 2 導電型の不純物層を有するチャンネル領域と、

前記チャンネル領域の下の前記ウェル領域内であってソース拡散領域の近辺に前記ウェル領域よりも高い不純物濃度を有し、前記蓄積領域を構成する第 1 導電型の高濃度埋込層と、を有し、

前記制御回路は、少なくとも前記ドレイン拡散領域に所定の電圧を印加して、前記接合領域を順方向にバイアスされた状態とすることにより、前記蓄積領域に前記所定の導電型の電荷が所定量蓄積された状態とした後で、前記蓄積領域に蓄積されている前記所定の導電型の電荷を排出させるように制御することを特徴とする固体撮像装置。

【請求項 3】 前記所定の導電型の電荷が所定量蓄積された状態は、蓄積可能な最大量の前記所定の導電型の電荷が前記蓄積領域に蓄積された飽和状態である請求項 1 または請求項 2 記載の固体撮像装置。

【請求項 4】 第 1 導電型が p 型で第 2 導電型が n 型である場合には、前記所定の導電型の電荷は正孔である請求項 1 ないし請求項 3 のいずれかに記載の固体撮像装置。

【請求項 5】 第 1 導電型が n 型で第 2 導電型が p 型である場合には、前記所定の導電型の電荷は電子である請求項 1 ないし請求項 3 のいずれかに記載の固体撮像装置

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、しきい値電圧変調方式による MOS 型の固体撮像素子に関する。

【0002】

【従来の技術】

携帯電話やデジタルカメラなど、小型のカメラを搭載した種々の電子機器が普及しつつある。このようなカメラ向けの撮像素子の例として、しきい値変調型撮像素子と呼ばれる MOS 型の固体撮像素子が開発されている（例えば、特許文献 1 参照。）。

【0003】

このしきい値変調型撮像素子は、同等の画素寸法および画素数を備える CCD 型固体撮像素子（CCD：Charge Coupled Device）と比べると、光感度は CCD 型固体撮像素子に及ばないが、消費電力は CCD 型固体撮像素子よりも低い。また、同等の画素寸法および画素数を備える CMOS 型固体撮像素子（CMOS

：Complementary Metal Oxide Semiconductor）と比べると、消費電力が同等であるのに対し、光感度が高いという特徴を有している。

【0 0 0 4】

しきい値変調型撮像素子は、CMOS型固体撮像素子よりも光感度を高めて画質を改善するために特殊な画素構造を有している。具体的には、CMOS型固体撮像素子の1つの画素（以下、「単位画素」とも呼ぶ。）では、フォトダイオードで受光量に応じて光電変換された電荷（以下、「光電荷」とも呼ぶ。）を電圧に変換（以下、「電荷電圧変換」と呼ぶ。）するとともに増幅するために、3個～4個のトランジスタが用いられるのに対し、しきい値変調型撮像素子の1つの単位画素では、1個のトランジスタが用いられる。そして、この1個のトランジスタには、汎用のMOSトランジスタとは異なる特殊な構造が採用されている。具体的には、トランジスタ内にキャリアポケットと呼ばれるエネルギーのくぼみ（「井戸」とも呼ばれる。）が設けられている。このキャリアポケットは、例えば、ホール（正孔）に対するポテンシャルが低くなる構造を有している。このため、フォトダイオードで発生した光電荷のうち、ホール（以下、「光ホール」とも呼ぶ。）が蓄積される。トランジスタのしきい値は、このキャリアポケットに蓄積される光ホールの個数に応じて変化し、このトランジスタにより構成されるソースフォロアのソース電位が変化する。従って、キャリアポケットに蓄積された光ホールの個数に応じて変化するソース電位を読み出すことで受光量に応じた画素データを検出することが可能である。

【0 0 0 5】

【特許文献1】

特開平11-195778号公報

【0 0 0 6】

【発明が解決しようとする課題】

上記しきい値変調型撮像素子において、1枚の画像を撮像する際には、撮像前に、各画素のキャリアポケットに蓄積されている光電荷を排出（リセット）することが行われる。前の撮像によって蓄積された光電荷が残存していると、残存分の光電荷が加算されることになり、検出された各画素データに残像として悪影響

を与える場合があるからである。しかしながら、一般に、一定の限られた時間内に前の撮像によって蓄積されている光電荷をキャリアポケットから完全に排出することは困難である。このため、しきい値変調型撮像素子において、前の撮像において蓄積された光電荷による残像によって発生する画質の劣化を抑制することが望まれている。

【0007】

この発明は、従来技術における上述の課題を解決するためになされたものであり、しきい値変調型固体撮像素子において、前の撮像において蓄積された光電荷による残像によって発生する画質の劣化を抑制することが可能な技術を提供することを目的とする。

【0008】

【課題を解決するための手段およびその作用・効果】

上述の課題の少なくとも一部を解決するため、本発明は、フォトダイオードと光電荷検出用の絶縁ゲート型電界効果トランジスタとを有する単位画素が複数配列された画素アレイと、前記画素アレイの動作を制御する制御回路とを備える固体撮像装置であって、

前記フォトダイオードと前記絶縁ゲート型電界効果トランジスタとは、第1導電型の半導体基板上の第2導電型の半導体層内に形成された第1導電型のウェル領域を共有しており、

前記絶縁ゲート型電界効果トランジスタの前記ウェル領域内には、前記フォトダイオードに照射される光に応じて発生した所定の導電型の電荷を蓄積するための蓄積領域が形成されており、

前記制御回路は、前記半導体基板と前記半導体層とで構成される接合領域を順方向にバイアスされた状態とすることにより、前記蓄積領域に前記所定の導電型の電荷が所定量蓄積された状態とした後で、前記蓄積領域に蓄積されている前記所定の導電型の電荷を排出させるように制御することを特徴とする。

【0009】

上記発明の固体撮像装置によれば、撮像により蓄積領域に蓄積されている所定の導電型の光電荷を排出する前に、あらかじめ、半導体基板と半導体層とで構成

される接合領域を順方向にバイアスされた状態とすることにより、前記蓄積領域に前記所定の導電型の電荷が所定量蓄積された状態とする。これにより、蓄積領域に蓄積されている所定の導電型の電荷の排出を該電荷が所定量蓄積された状態から開始できるので、一定の排出期間経過後に蓄積領域に残留する所定の導電型の電荷の量をほぼ一定とすることが可能である。残留する所定の導電型の電荷の量がほぼ一定であれば、一定の所定の導電型の電荷が残留する状態を基準として、照射される光に応じて蓄積される所定の導電型の電荷の量を検出することが可能となる。従って、しきい値変調型固体撮像素子において、前の撮像において蓄積された所定の導電型の電荷による残像によって発生する画質の劣化を抑制することが可能である。

【0010】

なお、前記絶縁ゲート型電界効果トランジスタは、

前記ウェル領域の表層に形成された第2導電型のソース拡散領域と、前記ウェル領域の表層を除く前記半導体層の表層に形成された第2導電型のドレイン拡散領域と、前記ドレイン拡散領域と前記ソース拡散領域との間の前記ウェル領域上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の下の前記ウェル領域の表層であって、第2導電型の不純物層を有するチャネル領域と、前記チャネル領域の下の前記ウェル領域内であってソース拡散領域の近辺に前記ウェル領域よりも高い不純物濃度を有し、前記蓄積領域を構成する第1導電型の高濃度埋込層とを有し、

前記制御回路は、少なくとも前記ドレイン拡散領域に所定の電圧を印加して、前記接合領域を順方向にバイアスされた状態とすることにより、前記蓄積領域に前記所定の導電型の電荷が所定量蓄積された状態とした後で、前記蓄積領域に蓄積されている前記所定の導電型の電荷を排出させるように制御することができる。

【0011】

上記のように、少なくともドレイン拡散領域に所定の電圧を印加すれば、半導体基板と半導体層とで構成される接合領域を容易に順方向にバイアスした状態とすることができる。

【0012】

ここで、前記所定の導電型の電荷が所定量蓄積された状態は、蓄積可能な最大量の前記所定の導電型の電荷が前記蓄積領域に蓄積された飽和状態であることが好ましい。

【0013】

蓄積可能な最大量の所定の導電型の電荷が蓄積領域に蓄積された飽和状態はほぼ一定であるので、蓄積領域に蓄積されている電荷の量にかかわらず、半導体基板と半導体層とで構成される接合領域を順方向にバイアスした状態とすれば、蓄積領域の蓄積状態を容易に飽和状態とすることができる。

【0014】

なお、第1導電型がp型で第2導電型がn型である場合には、所定の導電型の電荷は正孔である。また、第1導電型がn型で第2導電型がp型である場合には、所定の導電型の電荷は電子である。

【0015】

【発明の実施の形態】

以下、本発明の実施の形態を実施例に基づいて以下の順序で説明する。

A. 固体撮像装置素子の構成:

B. 比較例の撮像動作:

B 1. 蓄積期間:

B 2. 読み出し期間:

B 3. リセット期間:

B 4. 問題点:

C. 実施例の撮像動作:

D. 変形例:

【0016】

A. 固体撮像装置の構成:

図1は、本発明の実施の形態に係るイメージセンサ（固体撮像装置）の全体の構成について示す説明図である。このイメージセンサ10は、画像の1画素に対応する単位画素100がマトリクス状に配列された画素アレイ20を有している

。単位画素 100 は、1 個のフォトダイオード (PDS) と、1 個の光電荷検出用の nMOS トランジスタ (PDTr) とにより構成されている。

【0017】

また、画素アレイ 20 の左側および下側には、画素アレイ 20 内でマトリクス状に配列されている単位画素を駆動するための垂直制御回路 30 および水平制御回路 40 が配置されている。また、垂直制御回路 30 および水平制御回路 40 の間には、これらの動作の基準となるタイミング信号を生成するタイミングジェネレータ 50 が配置されている。また、画素アレイ 20 の上側と右側には、各単位画素 100 の動作に要求される各種電圧を生成する電圧制御回路 60 が配置されている。また、水平制御回路 40 の右側には、撮像された画像データを出力する出力回路 70 が配置されている。

【0018】

図 2 は、単位画素内における素子レイアウトの一例を示す概略平面図である。図 3 は、図 2 の A-A 線概略断面図である。単位画素 100 内には、フォトダイオード (PDS) 111 と光電荷検出用の nMOS トランジスタ (PDTr) 112 とが隣接して設けられている。

【0019】

図 3 に示すように、p 型シリコンからなる基板 121 (以下、「p 型基板」とも呼ぶ。) 上に基板 121 よりも不純物濃度の薄い p 型 (以下、「p-型」と呼ぶ。) のシリコンをエピタキシャル成長させることにより、p-型基板層 122 が形成されている。p 型基板 121 と p-型基板層 122 とが実質的な p 型の半導体基板を構成している。なお、列方向の隣接する単位画素同士の境界には、p-型基板層 122 および基板表面に図示しない酸化膜を介して設けられた素子分離ゲート 124 による画素分離領域 123 が形成されている。この画素分離領域 123 により、列方向の各単位画素 100 は電氣的に分離されている。行方向に隣接する単位画素同士の境界には画素分離領域 123 は設けられておらず、行方向の単位画素同士は 1 つの n 型のウェル領域 125 (以下、「n ウェル領域」と呼ぶ。) が共有化されている。なお、行方向に隣接する単位画素同士の境界に画素分離領域を設けるようにしてもよい。画素分離領域 123 の p-型基板層 12

2の表層に設けられた基板121よりも不純物濃度の濃いp型（以下、「p+型」と呼ぶ。）の不純物拡散領域122aは、隣接するnウェル領域125同士の分離度を高めるために設けられている。具体的には、表層部分で発生する隣接するnウェル領域125間のパンチスルーを防止する。

【0020】

また、nウェル領域125の1つの単位画素100に相当する領域内には、フォトダイオード111とnMOSトランジスタ112とで共有される一つのpウェル領域126が埋め込まれている。フォトダイオード111のpウェル領域126は光照射による電荷の発生領域を構成し、nMOSトランジスタ112のpウェル領域126は電荷の転送領域と蓄積領域とを構成している。

【0021】

フォトダイオード111は、pウェル領域126と、nウェル領域125と、このpウェル領域126を挟むようにnウェル領域125の表層に形成された不純物拡散領域127とで構成されている。この不純物拡散領域127は、nウェル領域125よりも不純物濃度の濃いn型（以下、「n+型」と呼ぶ。）領域である。

【0022】

nMOSトランジスタ112は、リング状のゲート電極128を有しており、このリング状ゲート電極128はnウェル領域125に囲まれた構造を有している。このリング状ゲート電極128およびpウェル領域126を囲むnウェル領域125のいずれかの表層にn+型のドレイン拡散領域129が形成されている。また、リング状のゲート電極128の中央部にn+型のソース拡散領域130が形成されている。なお、ゲート電極128とゲート電極128の下のnウェル領域132との間には、ゲート絶縁膜128aが形成されている。ゲート電極128の下のpウェル領域126の表層のnウェル領域132がチャネル領域となる。

【0023】

また、チャネル領域の下のpウェル領域126内には、ソース拡散領域130を囲むようにp+型のキャリアポケット131が形成されている。キャリアポケ

ット 131 については後述する。

【0024】

なお、図2の平面図に示された3つの黒塗りの四角形は、ゲート電極、ドレイン電極、ソース電極のコンタクト領域を示している。ただし、図3の断面図においては、これらのコンタクトを省略し、各電極の電圧をゲート電圧 V_G 、ドレイン電圧 V_D 、およびソース電圧 V_S として示している。

【0025】

B. 比較例の撮像動作：

まず、実施例の撮像動作を示す前に、基本的な撮像動作を比較例として示す。図4は、比較例としての1つの単位画素における撮像のシーケンスを示す説明図である。図4に示すように、リセット期間(T_1)、蓄積期間(T_2)、信号出力期間(T_3)、リセット期間(T_4)、ノイズ出力期間(T_5)の5つの期間を経て1回の撮像動作が実行される。このシーケンスを繰り返すことにより、繰り返し撮像動作が実行される。なお、他の各単位画素も同様である。

【0026】

B1. 蓄積期間：

図5は、蓄積期間の動作を示す説明図である。図5は、図3と同じ単位画素100の概略断面図を示している。蓄積期間(図4の期間 T_2)では、撮像する画像からの光を、各画素に対応する単位画素100のフォトダイオード111で受光して光電変換し、これにより発生した光ホールをpウェル領域126のキャリアポケット131に蓄積させる。

【0027】

蓄積期間では、ゲート電圧 V_G として2V、ドレイン電圧 V_D およびソース電圧 V_S として1Vをそれぞれの電極に印加して、nMOSトランジスタ112をオン状態とする。なお、ゲート電圧 V_G 、ドレイン電圧 V_D およびソース電圧 V_S として印加される各電圧は、図1の電圧制御回路60に含まれる一般的な定電圧発生回路において生成されて、垂直制御回路30および水平制御回路40を介して供給される。フォトダイオード111のnウェル領域125とpウェル領域126によるpn接合は逆バイアス状態とされており、このpn接合の接合界面

付近に空乏領域（例えば、図5のハッチング領域）が形成されている。

【0028】

空乏領域では、フォトダイオード111に入射した光を光電変換して、電子（光電子）とホール（光ホール）の対よりなる電荷（光電荷）を発生する。ここで、光電荷のうち、光電子は、nウェル領域125に分布するようになり、ドレイン拡散領域129を介して排出される。一方、光ホールは、pウェル領域126に分布するようになる。

【0029】

図6は、図5のB-B線断面におけるポテンシャル分布を示す説明図である。縦軸はポテンシャルを表し、横軸は基板表面（界面）からの深さを表す。図6に示したように、pウェル領域126に比べてキャリアポケット131のポテンシャルは低くなっているので、発生した光ホールはキャリアポケット131に集められて蓄積される。

【0030】

B2．読み出し期間：

読み出し期間、すなわち、図4の期間T3における信号出力期間（S出力期間）は、蓄積期間において蓄積された光ホールに基づく撮像データを読み出す期間である。また、図4の期間T5におけるノイズ出力期間（N出力期間）は、光ホールが蓄積されていない状態におけるノイズデータを読み出す期間である。

【0031】

図7は、読み出し期間におけるnMOSトランジスタを示す説明図である。これらの読み出し期間では、図7に示すように、nMOSトランジスタ112をソースフォロア回路として動作させて、読み出された信号を出力する。

【0032】

読み出し期間では、nMOSトランジスタ112にバイアス電圧を印加する。例えば、図7に示すように、ゲート電圧VGとして2Vをゲート電極128に印加し、ドレイン電圧VDとして3.3Vをドレイン拡散領域（ドレイン電極）129に印加する。ソース拡散領域（ソース電極）130には、図示しない負荷回路が接続される。このとき、ソース電圧VSは、nMOSトランジスタ112の

しきい値電圧を V_{TH} とすると、下式のように表される。

【0033】

$$V_S = V_G - V_{TH} \quad \dots (1)$$

【0034】

ここで、しきい値電圧 V_{TH} は、キャリアポケット 131 に蓄積された光ホールの個数に応じて変化する。すなわち、しきい値 V_{TH} はホール数 N_{hp} をパラメータとする関数 $f(N_{hp})$ で表される。

【0035】

従って、(1) 式で表されるソース電圧 V_S は、蓄積されたホール数 N_{hp} に応じて変化する。すなわち、ソース電圧 V_S はフォトダイオード 111 で受光された光の量に応じた電圧となり、図 4 の期間 T_3 における S 出力期間では撮像データが出力される。また、図 4 の期間 T_5 における N 出力期間ではノイズデータが出力される。

【0036】

なお、 S 出力期間（期間 T_3 ）で読み出された撮像データから N 出力期間（期間 T_5 ）で読み出されたノイズデータを差し引くことにより、ノイズ成分を除去した撮像データを得ることができる。

【0037】

B3. リセット期間：

図 8 は、リセット期間の動作を示す説明図である。図 8 は、図 5 と同じ単位画素 100 の概略断面図を示している。図 4 の期間 T_1 におけるリセット期間では、期間 T_2 の蓄積期間において、フォトダイオード 111 で発生した光ホールを蓄積するために、あらかじめキャリアポケット 131 に残留しているホール（正孔）を p 型基板 121 側に排出する。また、図 4 の期間 T_4 におけるリセット期間は、期間 T_2 の蓄積期間にあらかじめキャリアポケット 131 に蓄積したホールを p 型基板 121 側に排出する。

【0038】

図 9 は、図 8 の $B-B$ 線断面におけるポテンシャル分布を示す説明図である。縦軸はポテンシャルを表し、横軸は基板表面（界面）からの深さを表す。

【0039】

なお、リセット期間では、ゲート電極128、ドレイン拡散領域129およびソース拡散領域130に通常の動作電圧よりも高い電圧を印加する。例えば、ソース電圧 V_S として0Vの初期値に対し4Vをソース拡散領域（ソース電極）130に印加する。ただし、p型基板121の基板電圧 V_{SUB} は、図示しない基板電極を介してGND（アース：0V）とされており、同様にp-型基板122の電位もほぼ0Vとされている。

【0040】

この時、ゲート電極128がフローティング状態であっても、ソース・ゲート間の容量カップリングにより、ゲート電圧 V_G として6Vを印加することができる。同時に、ゲート電極128下のチャネル領域が導通するため、ドレイン電圧 V_D がフローティング状態であっても、ソース電圧 V_S としてソース拡散領域130に印加した4Vの電圧がほとんどそのままドレイン拡散領域129およびドレイン拡散領域129を含むnウェル領域125に印加される。

【0041】

このとき、図9に実線で示すように、基板表面（界面）側のポテンシャルが最も高く、基板表面側から深さ方向に沿ってポテンシャルが低くなる。これにより、キャリアポケット131に残留するホールを、キャリアポケット131よりもポテンシャルの低いp-型基板122およびp型基板121側に排出することができる。なお、図の破線は、図6に示した蓄積期間におけるポテンシャル分布を示している。

【0042】**B4. 問題点：**

上記比較例における撮像のシーケンスでは、以下に示す問題がある。図10は、リセット期間におけるリセット動作終了後の残留ホール数について示す説明図である。上述のように、キャリアポケット131から光ホールを排出することにより、キャリアポケット131に蓄積された光ホールをリセットする場合、キャリアポケット131に残留するホール数は、一般に時間をパラメータとする指数関数で表される。従って、蓄積ホール数の多少にかかわらず、残留ホール数を0

とすることは困難である。

【0043】

また、フォトダイオード111に入射する光の量に応じてキャリアポケット131の蓄積ホール数は変化し、入射光量が多いほど多く、入射光量が少ないほど少なくなる。このとき、同一のリセット期間内に排出されるホール数は、リセット開始時における蓄積ホール数の多いほうが多くなり、少ないほうが少なくなるが、残留ホール数も蓄積ホール数の多いほうが多くなり少ないほうが少なくなる。従って、蓄積ホール数、すなわち、入射光量に依存して、リセット期間内にキャリアポケット131から排出されない残留ホールの数も変化する。仮に、残留ホール数が一定であれば、この残留ホール数による影響はノイズデータとしてキャンセルすることができる。しかしながら、上述のように蓄積ホール数に応じて残留ホール数が変化すると、入射光量の変化に応じた残留ホール数による影響をキャンセルすることができず、前のサイクルにおいて撮像された画像が次のサイクルにおいて撮像される画像中に残像するという問題が発生する場合がある。

【0044】

C. 実施例の撮像動作：

上記比較例における問題を解決するために、本実施例では以下で説明するように撮像素子を動作させる。

【0045】

図11は、実施例としての1つの単位画素における撮像のシーケンスを示す説明図である。この実施例の撮像動作のシーケンスは、図4の比較例としての撮像のシーケンスにおけるリセット期間（期間T1およびT4）の前に、プリチャージ期間（期間T10およびT40）が設けられている点を除いて比較例と同じである。そこで、以下では、プリチャージ期間における単位画素100の動作についてのみ説明を加える。

【0046】

図12は、プリチャージ期間の動作を示す説明図である。図12は、図3と同じ単位画素100の概略断面図を示している。プリチャージ期間（図11の期間T10およびT40）では、リセット期間（期間T1およびT4）におけるリセ

ット動作の前に、キャリアポケット 131 に対してホールの蓄積を実行する。

【0047】

図 13 は、図 12 の C-C 線に沿ったポテンシャル分布を示す説明図である。プリチャージ期間では、ゲート電圧 V_G として 2 V がゲート電極 128 に印加され、ドレイン電圧 V_D として -0.6 V がドレイン拡散領域（ドレイン電極）129 に印加される。なお、p 型基板 121 に印加される基板電圧 V_{SUB} は 0 V である。図 13 に破線で示すように、n ウェル領域 125 のポテンシャルは、通常、p 型基板 121、具体的には、P 型基板層 122 のポテンシャルよりも高くなっており、隣接する n ウェル領域 125 が隔離される。しかしながら、ドレイン電圧 V_D として -0.6 V をドレイン拡散領域 129 に印加すると、実線で示すように n ウェル領域 125 のポテンシャルが低くなり、実効的に、P 型基板層 122 と、n ウェル層 125 とで構成される pn 接合領域が順方向にバイアスされた状態となる。あるいは、言い換えると、P 型基板層 122 と、n ウェル層 125 と、p ウェル層 126 とによって構成される寄生のバイポーラトランジスタ (PT r) が導通状態となるとみることできる。これにより、p 型基板 121、具体的には、p 型基板層 122 側から p ウェル領域 126 にホールを流入させることが可能となる。この結果、キャリアポケット 131 に対してホールを蓄積させることができる。なお、上記例では、ドレイン電圧 V_D として -0.6 V を印加しているが、これに限定されるものではなく、P 型基板層 122 と、n ウェル層 125 とで構成される pn 接合領域が順方向にバイアスされた状態とすることができる電圧、言い換えると、P 型基板層 122 と、n ウェル層 125 と、p ウェル層 126 とによって構成される寄生のバイポーラトランジスタ (PT r) を導通状態とすることができる電圧であればよい。

【0048】

図 14 は、プリチャージ後のホール数について示す説明図である。キャリアポケット 131 に蓄積可能なホール数（以下、「飽和ホール数」と呼ぶ。）は、有限である。そこで、プリチャージ期間では、プリチャージ前に蓄積されているホール数にかかわらず、キャリアポケット 131 が飽和となるようにホールを蓄積させる。これにより、プリチャージ後のキャリアポケット 131 の蓄積ホール数

は、プリチャージ前のホール数にかかわらず、毎回ほぼ一定の値となる。

【0049】

リセット開始前のホール数がほぼ一定ならば、リセット後の残留ホール数も毎回ほぼ一定とすることができるので、図11の期間T3におけるS出力から期間T5におけるN出力を差し引くことにより、残留ホールは入射光量に依存しなくなり、比較例の撮像動作で問題となっていた残留ホールによる残像の問題を抑制することが可能である。これにより、実施例のようなしきい値変調型固体撮像素子において、前の撮像の光ホールによる残像によって発生する画質の劣化を抑制することが可能である。

【0050】

D. 変形例：

なお、本発明は上記の実施例や実施形態に限られるものではなく、その要旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば次のような変形も可能である。

【0051】

上記実施例では、キャリアポケットに蓄積されているホール数が飽和状態となるようにプリチャージを行っているが、これに限定されるものではなく、飽和状態ではなく、所定のホール数となるようにプリチャージを行うようにしてもよい。

【0052】

上記実施例では、フォトダイオード111と光検出用のトランジスタ112とで、p型のウェル領域126を共有する構成とし、光検出用のトランジスタ112をnMOSとした場合を例に説明している。しかしながら、フォトダイオードと光検出用のトランジスタとで共有されるウェル領域をn型のウェル領域とし、光検出用トランジスタをpMOSとすることも可能である。ただし、この場合に、キャリアポケットに蓄積される光電荷（キャリア）は、ホールではなく電子となる。また、プリチャージ期間において導通状態とされる寄生のバイポーラトランジスタは、pnp型ではなくnpn型のトランジスタである。

【図面の簡単な説明】

【図 1】 本発明の実施の形態に係るイメージセンサの全体の構成について示す説明図である。

【図 2】 単位画素内における素子レイアウトの一例を示す概略平面図である。

【図 3】 図 2 の A-A 線概略断面図である。

【図 4】 比較例としての 1 つの単位画素における撮像のシーケンスを示す説明図である。

【図 5】 蓄積期間の動作を示す説明図である。

【図 6】 図 5 の B-B 線断面におけるポテンシャル分布を示す説明図である。

【図 7】 読み出し期間における nMOS トランジスタを示す説明図である。

【図 8】 リセット期間の動作を示す説明図である。

【図 9】 図 8 の B-B 線断面におけるポテンシャル分布を示す説明図である。

【図 10】 リセット期間におけるリセット動作終了後の残留ホール数について示す説明図である。

【図 11】 実施例としての 1 つの単位画素における撮像のシーケンスを示す説明図である。

【図 12】 プリチャージ期間の動作を示す説明図である。

【図 13】 図 12 の C-C 線に沿ったポテンシャル分布を示す説明図である。

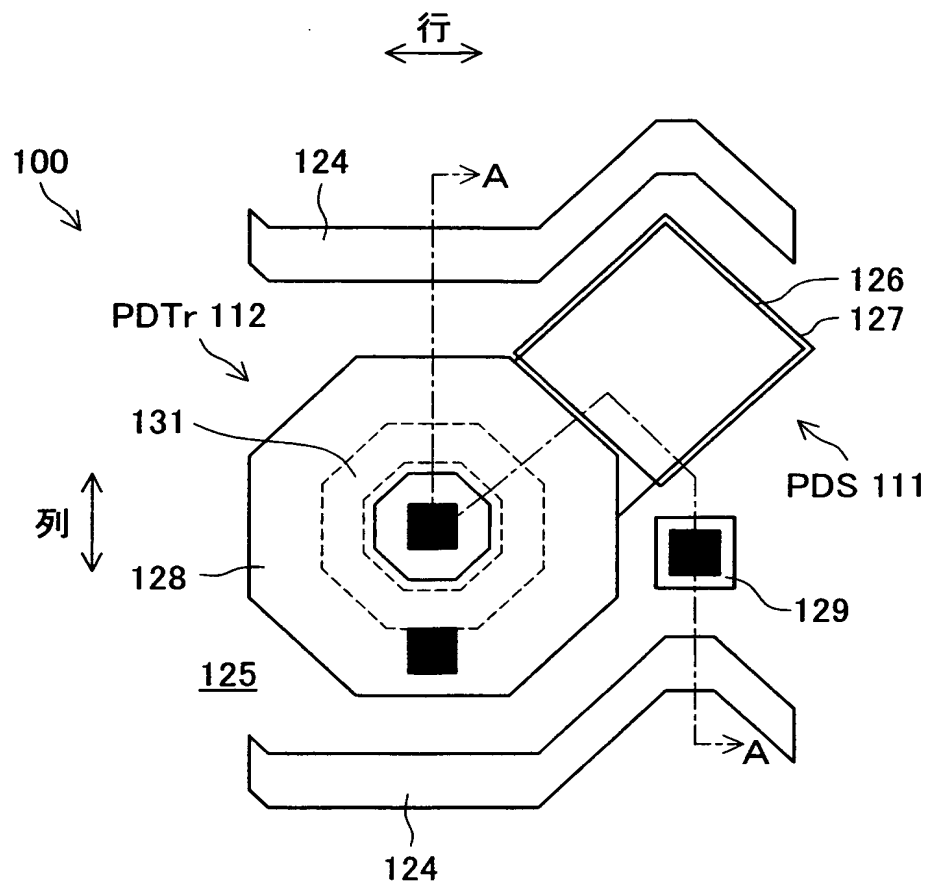
【図 14】 プリチャージ後のホール数について示す説明図である。

【符号の説明】

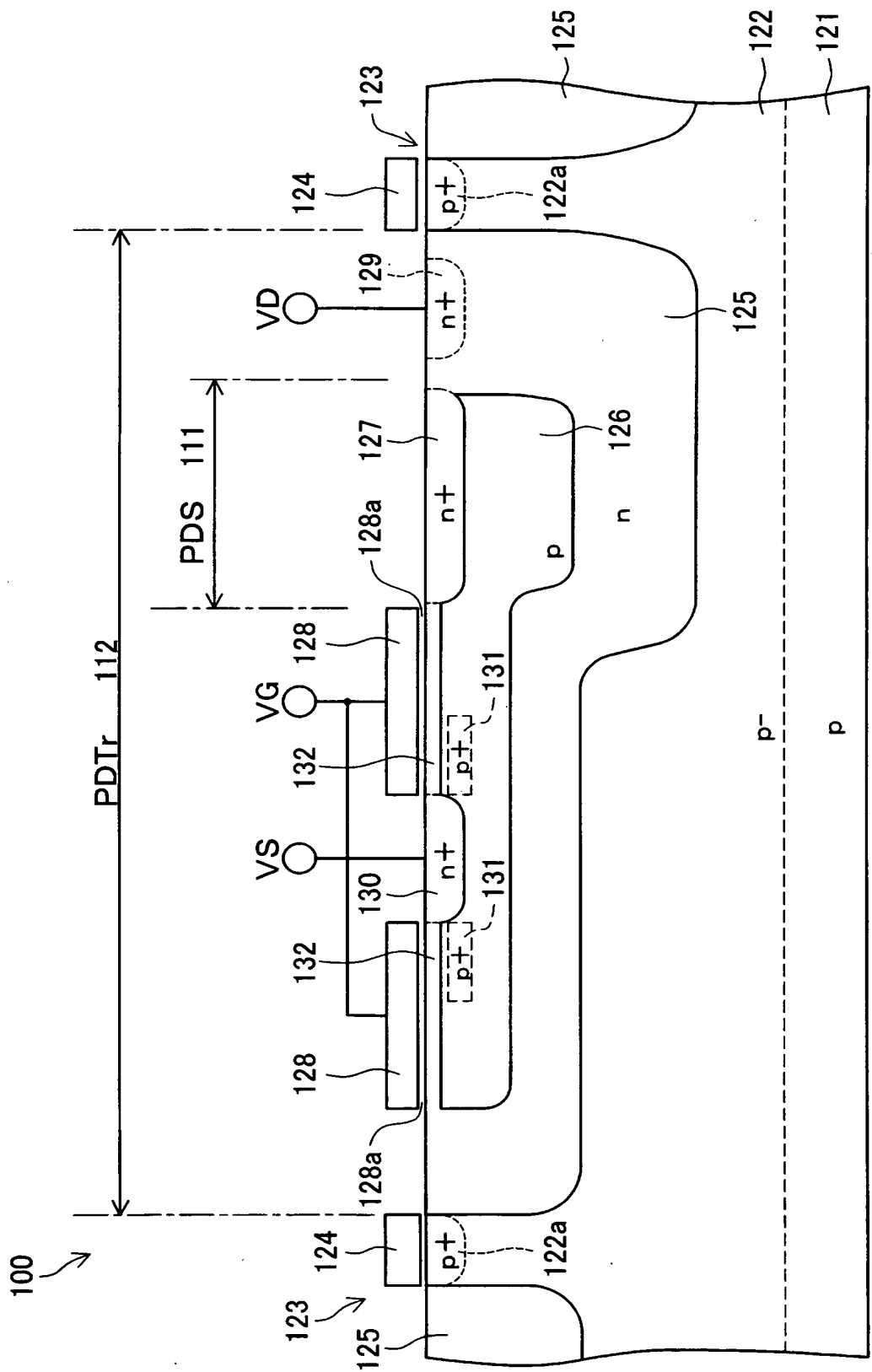
10…イメージセンサ、20…画素アレイ、30…垂直制御回路、40…水平制御回路、50…タイミングジェネレータ、60…電圧制御回路、70…出力回路、100…単位画素、111…フォトダイオード (PDS)、112…トランジスタ (PDTr)、121…基板 (p 型基板)、122…p 型基板層、122a…不純物拡散領域、123…画素分離領域、124…素子分離ゲート、1

2 5 … ウェル領域 (n ウェル領域) 、 1 2 6 … ウェル領域 (p ウェル領域) 、 1
2 7 … 不純物拡散領域、 1 2 8 … ゲート電極 (リング状ゲート電極) 、 1 2 8 a
… ゲート絶縁膜、 1 2 9 … ドレイン拡散領域、 1 3 0 … ソース拡散領域、 1 3 1
… キャリアポケット、 1 3 2 … n ウェル領域 (チャネル領域)

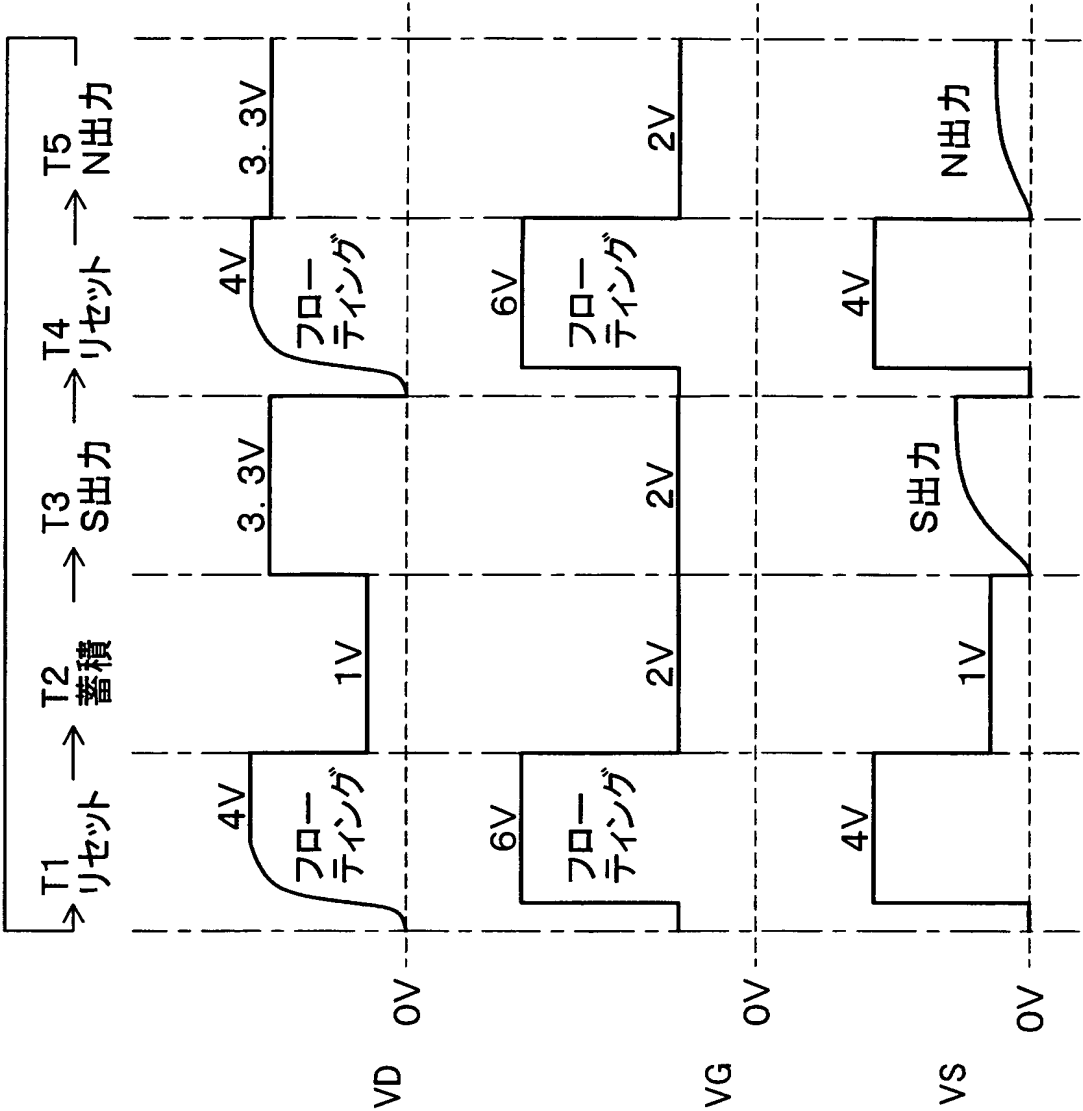
【図 2】



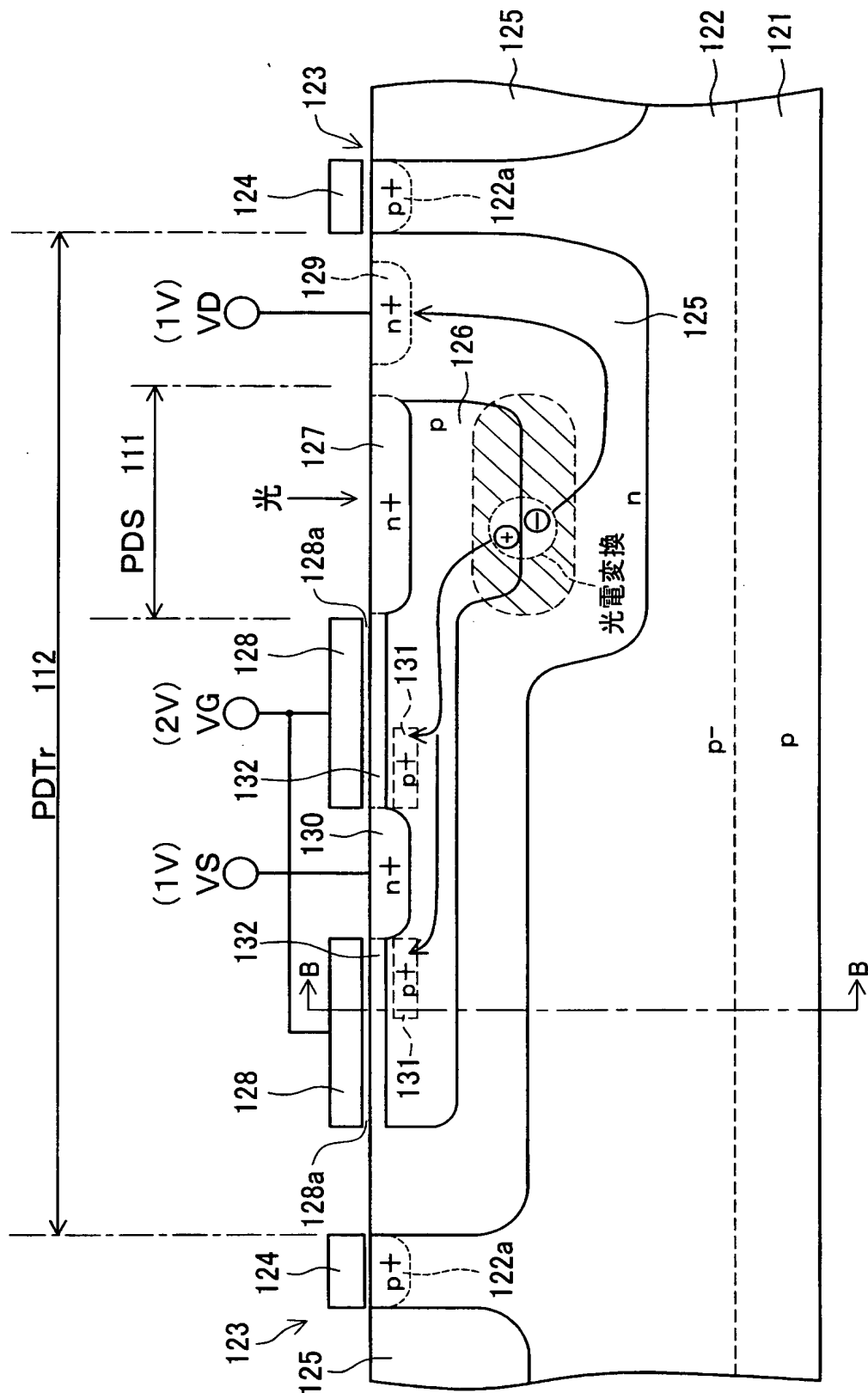
【図 3】



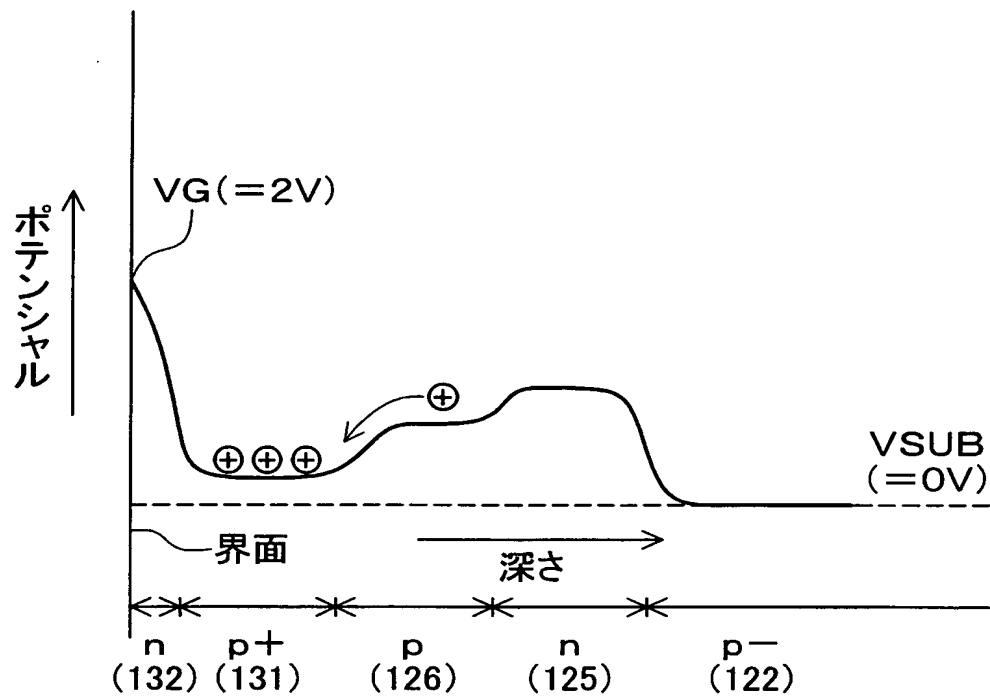
【図 4】



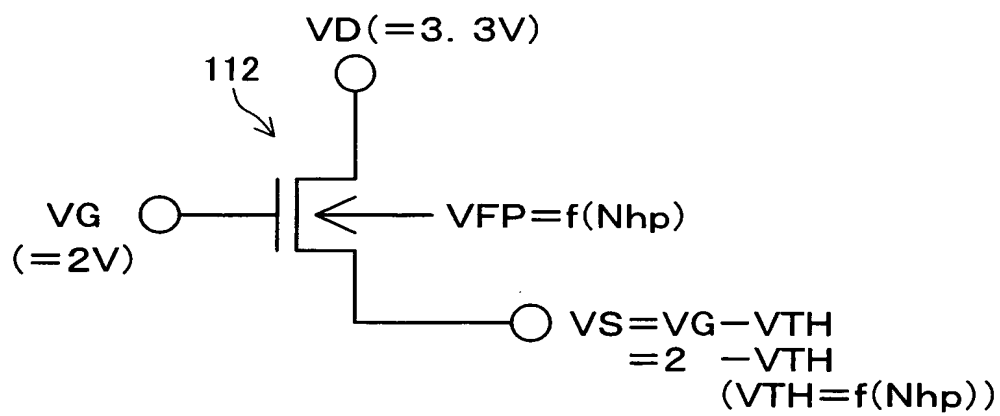
【図 5】



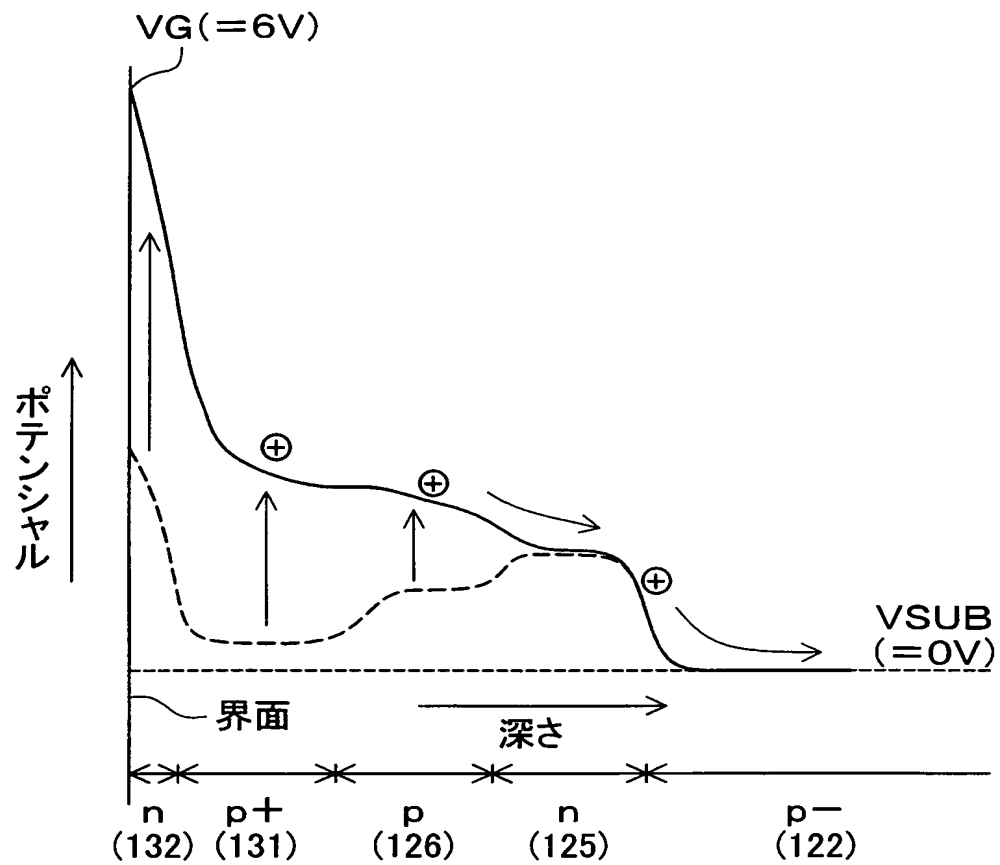
【図 6】



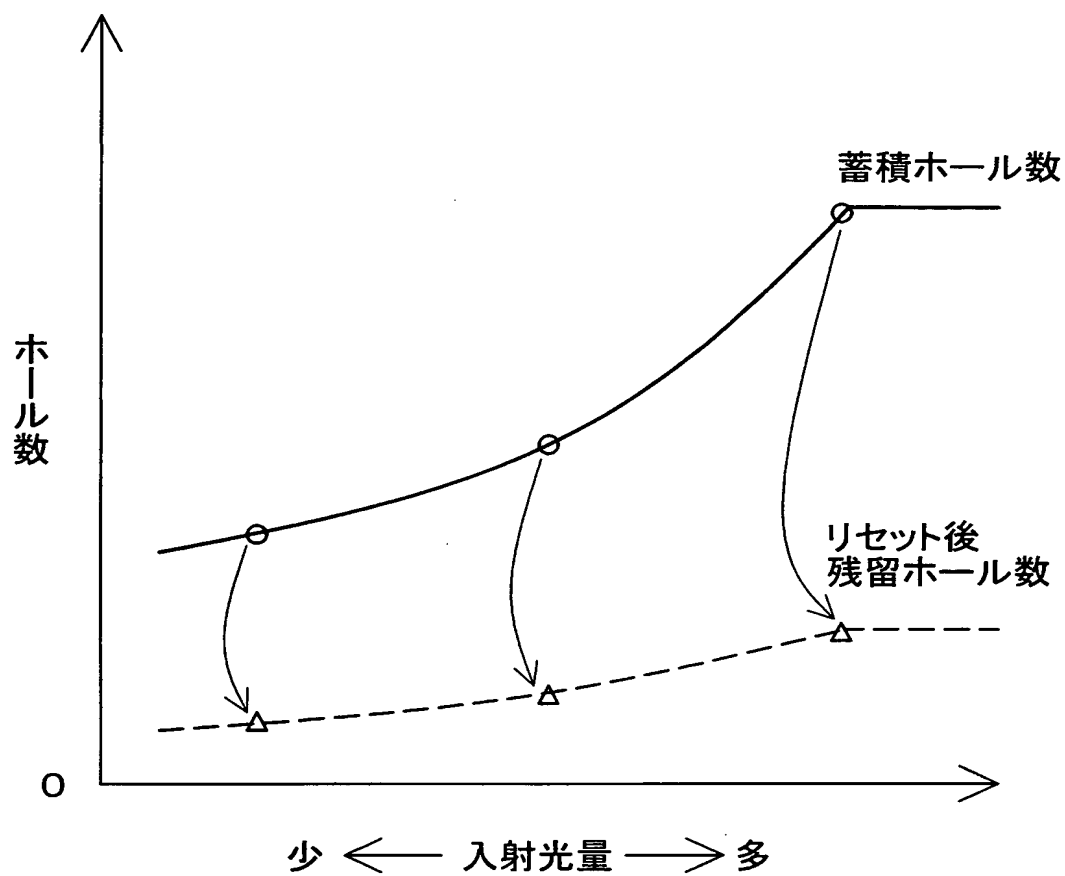
【図 7】



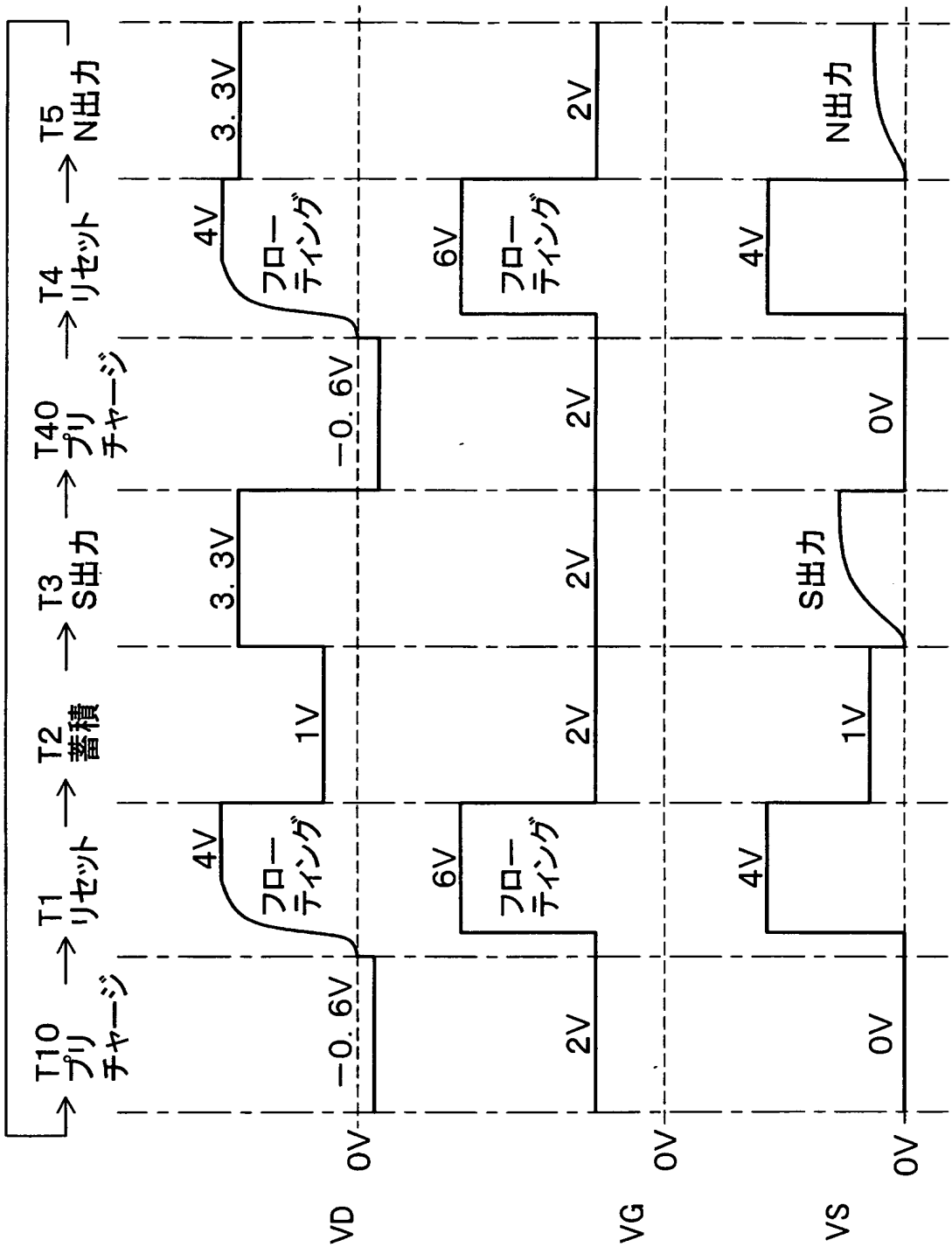
【図 9】



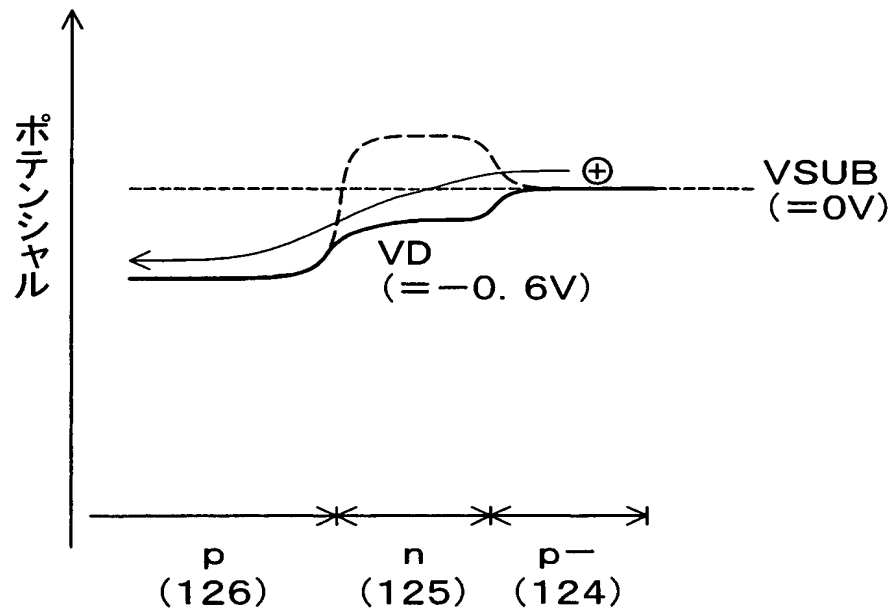
【図 10】



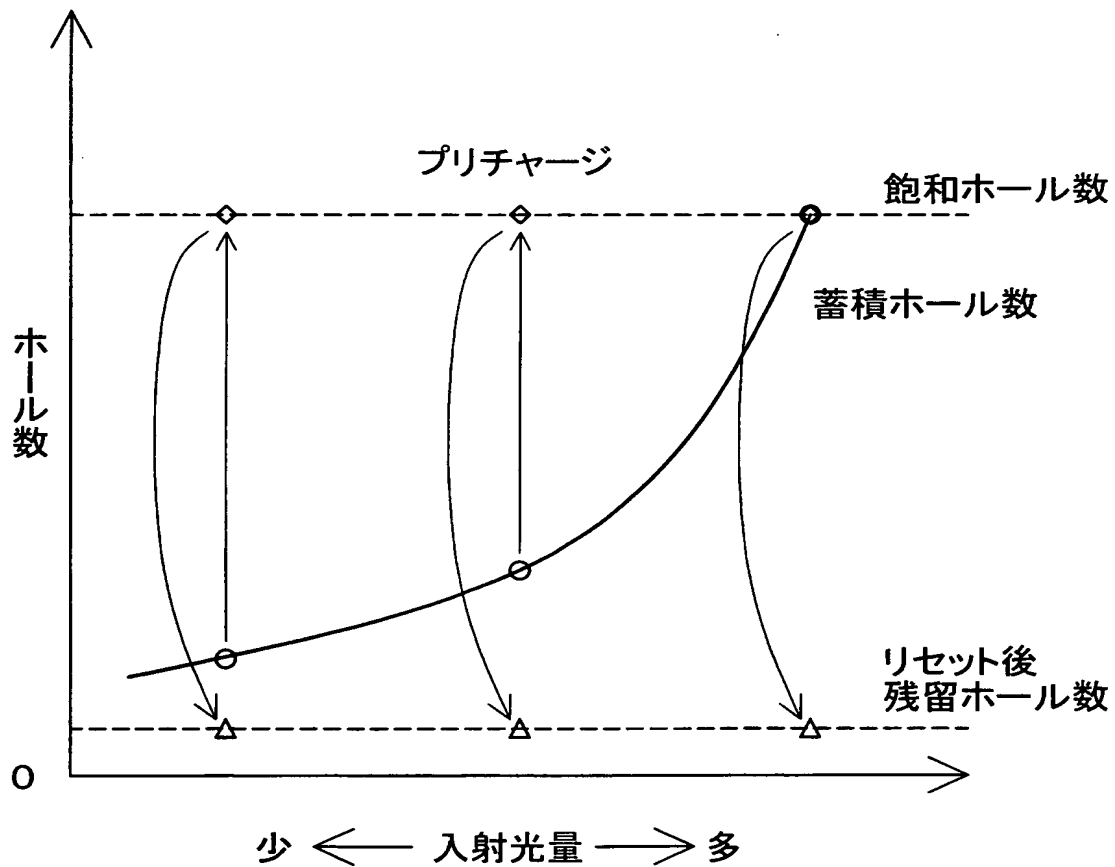
【図 11】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 しきい値変調型固体撮像素子において、前の撮像において蓄積された光電荷による残像によって発生する画質の劣化を抑制する。

【解決手段】 固体撮像装置は、フォトダイオードと光電荷検出用の絶縁ゲート型電界効果トランジスタとを有する単位画素が複数配列された画素アレイと、画素アレイの動作を制御する制御回路とを備える。制御回路は、第 1 導電型の半導体基板と第 2 導電型の半導体層とで構成される接合領域を順方向にバイアスされた状態とすることにより、蓄積領域に所定の導電型の電荷が所定量蓄積された状態とした後で、蓄積領域に蓄積されている前記所定の導電型の電荷を排出させるように制御する。ただし、p 型または n 型のいずれか一方が第 1 導電型で他方が第 2 導電型であるとする。

【選択図】 図 1 2

特願 2 0 0 3 - 0 4 3 6 0 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1 . 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社